

CLIPPEDIMAGE= JP359048960A

PAT-NO: JP359048960A

DOCUMENT-IDENTIFIER: JP 59048960 A

TITLE: MANUFACTURE OF INSULATED GATE TYPE
TRANSISTOR

PUBN-DATE: March 21, 1984

INVENTOR-INFORMATION:

NAME

SHIRAI, SHIGENOBU
KAWASAKI, KIYOHIO
NAGATA, SEIICHI
HOTTA, SADAKICHI
SAITO, HIROKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP57159843

APPL-DATE: September 14, 1982

INT-CL (IPC): H01L029/78;H01L027/12

US-CL-CURRENT: 257/E29.255,438/694 ,438/FOR.385

ABSTRACT:

PURPOSE: To prevent the poor ohmic contact of the
subject transistor by a
method wherein an insulating layer, with which a
channel part is shielded from
the outside air, is provided and after an aperture

has been formed and an etching has been performed in vapor phase, an N type amorphous Si is coated on the above without exposing to a contaminated atmosphere.

CONSTITUTION: A gate metal layer 2 is formed on an insulating substrate 1, and an insulating layer 3, an amorphous Si 4 containing no additive and an insulating layer 13 are laminated in the same chamber without exposing to the air. An aperture 14 is provided overlapping on a gate layer 2, and immediately after a plasma etching has been performed on the surface of the amorphous Si 4 using raw gas having SiF_4 and the like as a main component, an N type amorphous Si 5' is coated on the above. Then, island-like layers 4' and 5' are formed by selectively removing the layers 4, 5 and 13 successively. After a window has been provided on the layer 3, a metal layer is coated on the whole surface, and a gate wiring 9 is selectively formed on source and drain wirings 7 and 8 and the insulating layer 3. Lastly, the N type amorphous Si 5' located on the insulating layer 13' is removed using the wirings 7 and 8 as a mask, and an MISFET is completed. According to this constitution, no thinning off is generated on the channel part and the source and drain electrode can be completely ohmic contacted, thereby enabling to obtain a highly reliable device.

COPYRIGHT: (C)1984, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—48960

⑤ Int. Cl.³
H 01 L 29/78
// H 01 L 27/12

識別記号

庁内整理番号
7377—5F
8122—5F

④ 公開 昭和59年(1984)3月21日

発明の数 1
審査請求 未請求

(全 6 頁)

⑬ 絶縁ゲート型トランジスタの製造方法

門真市大字門真1006番地松下電
器産業株式会社内

① 特 願 昭57—159843

⑦ 発 明 者 堀田定吉

② 出 願 昭57(1982)9月14日

門真市大字門真1006番地松下電
器産業株式会社内

⑧ 発 明 者 白井繁信

⑦ 発 明 者 斉藤弘樹

門真市大字門真1006番地松下電
器産業株式会社内

門真市大字門真1006番地松下電
器産業株式会社内

⑦ 発 明 者 川崎清弘

⑩ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地松下電
器産業株式会社内

門真市大字門真1006番地

⑦ 発 明 者 永田清一

⑭ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

絶縁ゲート型トランジスタの製造方法

2、特許請求の範囲

(1) 絶縁性基板上に第1の金属層を選択的に被着形成する工程と、全面に第1の絶縁層、不純物を含まない非単結晶シリコン層、第2の絶縁層を順次被着する工程と、第1の金属層の一部と重なる1対の開口部を第2の絶縁層に形成する工程と、気相エッチングする工程と、前記エッチング後の主面を汚染性雰囲気中へ曝すことなく引き続き全面に不純物を含む非単結晶シリコン層を被着する工程と、前記開口部を含んで不純物を含む非単結晶シリコン層と不純物を含まない非単結晶シリコン層よりなる非単結晶シリコン層を島状に形成する工程と、前記開口部上の不純物を含む非単結晶シリコン層を完全に含む第2の金属層を選択的に被着形成する工程と、第2の金属層をマスクとして第2の絶縁層上の不純物を含む非単結晶シリコン層上を除去する工程とからなる絶縁ゲート型トラン

ジスタの製造方法。

(2) 第1の絶縁層、不純物を含まない非単結晶シリコン層、第2の絶縁層の被着が大気中に晒されることなく連続的に行なわれることを特徴とする特許請求の範囲第1項に記載の絶縁ゲート型トランジスタの製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体装置の製造方法に関し、薄膜半導体を活性領域として用いた薄膜電界効果トランジスタに関するものである。

従来例の構成とその問題点

原子結合対の不完全性を補償するためにその組成中に数%程度の水素を含んで形成される非晶質シリコンは低温形成が可能なこと、大面積化が容易なことなどの理由により低価格の太陽電池として注目されている。しかしながら単結晶シリコンと比較すると自由電子の移動度は $0.1 \sim 1 \text{ cm}^2/\text{V} \cdot \text{sec}$ と3桁以上小さく、集積化に値する性能の半導体素子は得られない。それでも高速動作や大きな

電流を必要としない、例えば液晶セルと組み合わせることによって画像表示装置を構成するMISトランジスタのスイッチングアレイを得ることは可能である。

第1図、第2図は上記の目的を達成するために開発された非晶質シリコンMISトランジスタの平面図、A-A'線上の工程断面図である。まず第2図aに示すように絶縁性基板、例えばガラス板1上にゲート電極となる第1の金属層2を選択的に被着形成する。次いで全面にゲート絶縁層3、不純物を含まない非晶質シリコン層4、そして不純物を含む非晶質シリコン層5を被着する。これらの被着方法はシラン系ガスのグロー放電によるプラズマ堆積が簡便で、ゲート絶縁層3に窒化シリコンを得んとするならばアンモニアを、また不純物を含む非晶質シリコンを得んとするならばジボランやホスフィンを添加すればよい。

その後第2図bに示すように非晶質シリコン層4、5を選択的に除去して島状の非晶質シリコン層4'、5'を形成する。さらに第2図では図示

は避けられないのではその場合にはソース・ドレイン配線7、8の材質および被着方法には注意が必要である。不純物を含む非晶質シリコン層10、11が存在する場合にはソース・ドレイン配線7、8は一般的なアルミニウムで十分である。

さて、第2図cに示したように不純物を含む非晶質シリコン層5'はソース・ドレイン配線7、8をマスクとして選択的に除去されるのであるが、もし除去が不十分であるとソース・ドレイン10、11間が残存した不純物を含む非晶質シリコン層によって電気的に導通してしまい、ソース・ドレイン間のリーク電流を増大させることが分っている。しかしながら、不純物を含む非晶質シリコンと不純物を含まない非晶質シリコンとの間で選択比の大きい、換言すれば食刻速度の差の大きい食刻材がなく、非酸：硝酸=1：30液に適量の酢酸を添加しても選択比は精々5程度である。つまり不純物を含む非晶質シリコン層だけを選択的に除去することは極めて困難である。

そこで通常は第2図dに示したように不純物を

しないが第1の金属層2上のゲート絶縁層3に開口部6(第1図に示す)を形成して第1の金属層2を一部露出した後に第2図cに示すようにオフセット・ゲート構造とならぬよう第1の金属層2と一部重なり合った第2の金属層よりなる1対のソース・ドレイン配線7、8が選択的に被着形成される。もちろんこの時前記開口部6を含んでゲート絶縁層3上には第2の金属層よりなるゲート配線9も形成される。最後に第2図dに示すようにソース・ドレイン配線7、8をマスクとして不純物を含まない非晶質シリコン層4'上の不純物を含む非晶質シリコン層5'を除去して従来の構造による非晶質シリコンのMIS型トランジスタが完成する。

ソース・ドレイン配線7、8と非晶質シリコン層4'との間に介在する不純物を含む非晶質シリコン層10、11は良好なオーミック接触が形成されるために必要であり、非晶質シリコン層10、11が存在しなくてもMISトランジスタとしての動作は可能であるが、動作電圧が高くなる傾向

含む非晶質シリコン層5'を除去するとき、過食刻によって不純物を含まない非晶質シリコン層4'も一部除去して凹状12とするのが一般的である。この結果としてリーク電流の増大は抑制できるものの、MIS型トランジスタのチャネルとなる不純物を含まない非晶質シリコン層4'は確実に膜厚が減少する。ある特定の組合せ、ゲート金属層2にモリブデン、不純物として燐を含む非晶質シリコン層5、ソース・ドレイン配線7、8にアルミニウムを用い、食刻液に非酸：硝酸=1：30液を使うと非晶質シリコン層の食刻速度が5~10倍程度に増殖され、5000Åの不純物を含まない非晶質シリコン層4'までがわずか4~5秒で消失してしまう。

チャネル部が余りに薄くなるとMISトランジスタの α 電流は著しく減少し、適正食刻の場合に比べて1/2以下になることも稀ではない。さらにやっかいなことには従来の構造例、第2図dではチャネルの反対側が外気に晒されるため、大気中の水分を吸着し易い。吸着された水分中のOH⁻

蒸はチャネル部をp形化してしまうのでnチャネル動作のMISトランジスタのしきい値電圧は時間の経過とともに増大する。すなわち動作電圧が一定であればソース・ドレイン間のon電流は時間の経過とともに減少する。しかしながら約150℃の乾燥窒素ガス中での加熱により吸着された水分は失われ、再び製造直後の特性に復帰することが分った。

このように従来の構造例による非晶質シリコンのMIS型トランジスタではチャネル部の膜べりに帰因する特性の不揃いを避けられず、また信頼性も極めて不安であった。

発明の目的

本発明はこのような従来の問題に鑑み、チャネル部の膜べりを防止しかつソース・ドレイン電極のオーミック接触を確実に形成し、 α 状態の動作電流を確保することを目的とする。また本発明の別の目的は信頼性の高いMOS型トランジスタを提供することにある。

発明の構成

含まない非晶質シリコン層4を選択的に露出させる。次に SiF_4 、 XeF_2 などを主成分とする原料ガスで表面をプラズマエッチングし、その後表面を大気など汚染性雰囲気に曝すことなく連続的に全面に第3図cに示すごとく不純物を含む非晶質シリコン層6'を被着する。

その後、第3図dに示したように非晶質シリコン層5、第2の絶縁層13、非晶質シリコン層4を順次選択的に除去して前記開口部を含む島状の非晶質シリコン層6'、4'を形成する。さらに図示はしないが、ゲート金属層2への接続を与えるための開口部6を第1の絶縁層3に形成した後、全面に金属層を被着し、不純物を含まない非晶質シリコン層4'上に被着された不純物を含む非晶質シリコン層上を含んで第1の絶縁層3上にはソース・ドレイン配線7、8を、また前記開口部6を含んで第1の絶縁層3上にはゲート配線9を形成する。最後にソース・ドレイン配線7、8をマスクとして第2の絶縁層13'上の不純物を含む非晶質シリコン層6'を除去して第3図eに

本発明は、チャネル部を外気より遮断する絶縁層を形成し、かつ絶縁層に開口部を形成し、気相エッチング後汚染性雰囲気に曝すことなく引き続き全面にnタイプ非晶質シリコン層を形成することとでオーミック接触不良を改善するものである。

実施例の説明

以下、第3図とともに本発明の実施例について説明する。なお、同一機能の各部については第1図、第2図と同じ番号を付す。

まず第3図aに示したように絶縁性基板1上にゲートとなる第1の金属層2を選択的に被着形成する。ついで全面に第1の絶縁層3、不純物を含まない非晶質シリコン層4、第2の絶縁層13を順次被着する。好ましくは各被着毎に大気に曝されることがないように、同一のチェンバ内または真空搬送路と複数のチェンバ内で被着する。このためにはシラン系ガスのグロー放電分解による被着方法が簡便である。次に第3図bに示したように第2の絶縁層13にゲート金属層2と一部重なり合った一対の開口部14を形成し、不純物を含

示すように本発明によるMISトランジスタが完成する。

第2図dと第3図eとの比較からも明らかなように、ソース・ドレイン配線7、8をマスクとして不純物を含む非晶質シリコン層6'を選択的に除去する工程において、本発明では第2の絶縁層13の存在によってチャネル部となる不純物を含まない非晶質シリコン層4が食刻されることは皆無である。したがってチャネル部の膜べりによるトランジスタ特性のばらつきも生じない。また第2の絶縁層13'は同時にチャネル部を構成する不純物を含まない非晶質シリコン層4'を大気より遮断している。このため空気中の水分が吸着しても第2の絶縁層13'を通してチャネル部をp型化するには致らず長時間の動作に対しても安定に動作する。もちろん一般的な意味でのパシベーションすなわち第2図dの後の工程で全面に適当な絶縁層を被着することによっても同様な効果は期待できるが、ソース・ドレイン配線7、8が存在するためにパシベーション絶縁層が金属によっ

て汚染され易く、また材質によってはパシベーション絶縁層とソース・ドレイン配線との化合物反応によってソース・ドレイン配線層の抵抗値が高くなる欠点がある。これに対して本発明ではパシベーション機能を有する第2の絶縁層13は不純物を含まない非晶質シリコン層4の被着に引き続いて行なわれるために、非晶質シリコン層と第2の絶縁層との界面および第2の絶縁層自体は半導体的レベルで純度が高く、パシベーション膜でもある第2の絶縁層の導入によってMISトランジスタの諸特性が変動しないといった優れた効果が得られた。

またソース・ドレイン電極7、8とトランジスタの活性領域である半導体層4'とのオーミック接触については、次に説明するように完全に形成される。例えばオーミック接触の形成所としてP(リン)をドーブしたアモルファスシリコンを被着させる。この被着時の前処理として水洗・乾燥工程だけを通し被着させると、大面積素子の中で一部オーミック接触を形成しない箇所ができる。

的安定性・時間的安定性)に優れた効果が得られる。

また、本発明にともなう構造変化によるオーミック接触形成の不安定性は、半導体層とオーミック接触形成層との界面となる表面を気相エッチングすることにより清浄な表面を得、その表面を汚染性雰囲気中に曝すことなく引き続きオーミック接触形成層を被着させることにより、大面積にわたって高信頼性のもとにオーミック接触の形成ができる。

なお、以上の説明からも明らかなように本発明の主旨は単結晶シリコンを除くシリコン半導体全てに適用可能であり、実施例で取り上げた非晶質シリコンの他に微結晶シリコンや多結晶シリコンでも何ら支障ない。また第1と第2の絶縁層も窒化シリコンの他に酸化シリコンや炭化シリコンが適宜使用されることは言うまでもない。

4、図面の簡単な説明

第1、第2図a～dは従来の構造によるMIS型トランジスタの平面図、工程断面図、第3図a～

ところが、本発明者が先に提示したように、 SiF_4 や XeF_2 などでMIS型トランジスタの界面をエッチングし、連続して半導体層を被着すると、電気的特性及びその安定性から見て清浄な界面が得られている。

そこで前記オーミック接触の形成層被着前に、 SiF_4 または XeF_2 などの非晶質シリコン層を汚染しない原料ガスでのプラズマエッチングを行ない、その表面を大気などの汚染性雰囲気中に曝すことなく引き続きPをドーブした非晶質シリコン層を被着すれば半導体素子全面にわたって、高信頼性のもとにオーミック接触の形成ができる。

発明の効果

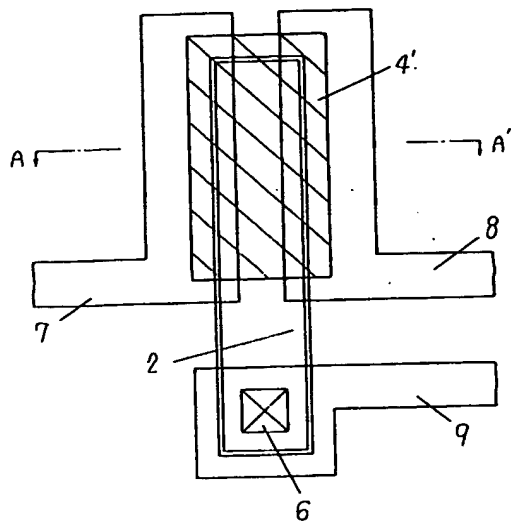
第2図dに示されているMIS型トランジスタでは、ソース・ドレイン電極間の活性領域半導体層に、極性のある水分子などが吸着した場合トランジスタの電気的特性、特に暗電流に与える影響が大きい。この不安定性を改善するために、パシベーション膜でもある第2の絶縁層を導入すると、MIS型トランジスタの諸特性(電気的特性・熱

eは本発明の一実施例にかかるMIS型トランジスタの工程断面図である。

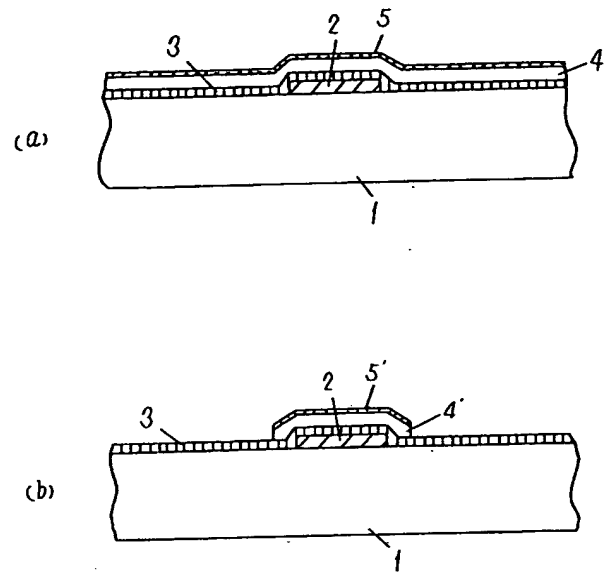
1……絶縁性基板、2……ゲート金属層、3……第1の絶縁層、4、4'……不純物を含まない非晶質シリコン層、5、5'……不純物を含む非晶質シリコン層、6……開口部、7、8……ソース・ドレイン配線、9……ゲート配線、10、11……ソース・ドレイン、12……凹部、13……第2の絶縁層、14……開口部。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

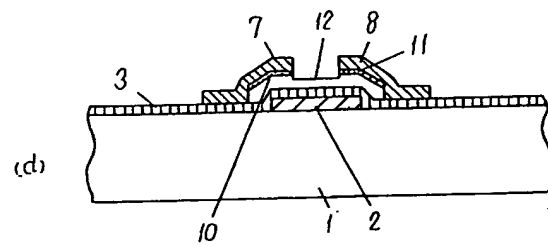
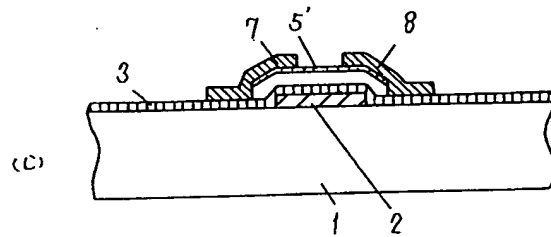
第 1 図

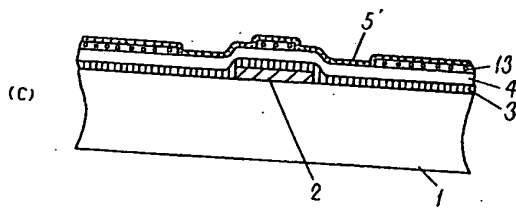
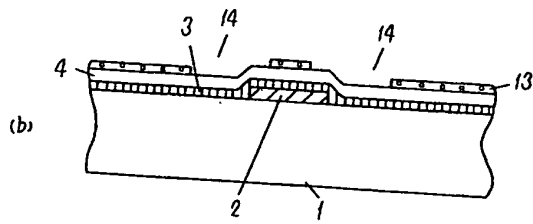
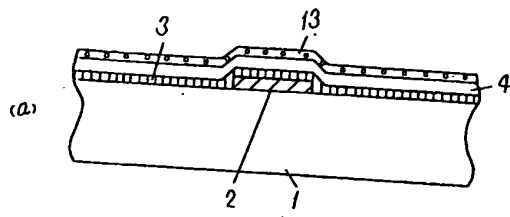


第 2 図

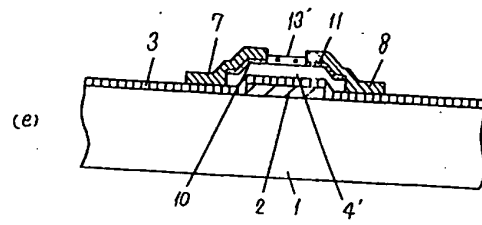
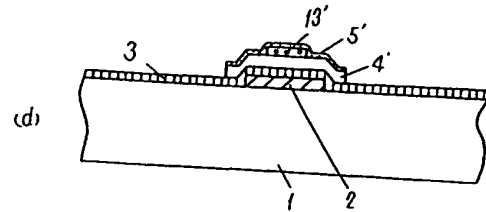


第 2 図





第 3 圖



CLIPPEDIMAGE= JP401189960A

PAT-NO: JP401189960A

DOCUMENT-IDENTIFIER: JP 01189960 A

TITLE: MANUFACTURE OF COMPOUND SEMICONDUCTOR
DEVICE

PUBN-DATE: July 31, 1989

INVENTOR-INFORMATION:

NAME

UCHITOMI, NAOTAKA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP63013530

APPL-DATE: January 26, 1988

INT-CL (IPC): H01L029/48;H01L021/265 ;H01L021/318
;H01L021/88 ;H01L029/78
;H01L029/80

US-CL-CURRENT: 438/571,438/586 ,438/FOR.495

ABSTRACT:

PURPOSE: To realize a GaAs MISFET, decrease the
gate resistance, and increase
the operating speed, by forming a safe nitride
layer on a GaAs surface, and
using CVD-W or WSiX for an electrode.

CONSTITUTION: After a GaAs 1 surface is nitrided, W

(tungsten) 4 or WSiX film is formed as high melting point metal gate material, thereby forming a self alignment type GaAs MISFET (Schottky gate field effect transistor). In this case, the CVD-W 4 or WSiX whose purity is higher by one digit or more than that of sputtered W or WSiX film can be formed, and is desirable from the viewpoint of reliability. The resistance is $10\mu\Omega/\text{cm}$ which is less than or equal to one-half of the sputtered W or WSiX film. Thus low resistance as the gate metal 4 can be realized, and this metal is suitable to a high speed GaAs DCFL (direct-coupled PET logic) circuit.

COPYRIGHT: (C)1989, JPO&Japio

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月31日

H 01 L 29/48
21/265
21/318
21/88
29/78
29/80

3 0 1

H-7638-5F
C-7738-5F
A-6708-5F
Q-6708-5F
B-8422-5F
Q-8122-5F

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 化合物半導体装置の製造方法

⑯ 特 願 昭63-13530

⑰ 出 願 昭63(1988)1月26日

⑱ 発 明 者 内 富 直 隆 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

化合物半導体装置の製造方法

2. 特許請求の範囲

GaAs基板上にイオン注入法あるいはエピタキシャル成長法によって形成された導電層を窒素プラズマ中で20~30Å表面窒化を行ない、その後、CVD-VあるいはCVD-VSixを堆積し、ゲート電極形成を行なった後、ゲート電極に自己整合的にイオン注入をし、再度アニールを行なうことを特徴とする化合物半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、化合物半導体装置の製造方法に関する。

(従来技術)

従来、GaAs電界効果トランジスタは、GaAs基板表面に安定な酸化膜を形成することができなかつたため、絶縁ゲートFETを形成することができな

かつた。そのため、金属と半導体界面に生じるショットキ障壁を利用するショットキゲート電界効果トランジスタ(GaAsMESFET)が主流となっている。しかしこのMESFETを高速論理回路方式であるDirect-coupled FET Logic(DCFL)に適用した場合、その論理振幅がショットキ障壁の高さ $\phi_B \sim 0.8V$ で決定されるため、非常に動作マージンが小さくなり、高集積化をはばんでいた。

(発明が解決しようとする課題)

GaAsMESFETではDCFL回路の論理振幅を大きくできないという問題点があった。

本発明は、GaAs表面に安定な窒化層を形成することによってGaAsMISFETを実現しようとするものであり、ゲート電極にCVD-V、VSixを使用することによりゲート抵抗の低抵抗化がはかれ、高速化を実現できる。

〔発明の構成〕

(課題を解決するための手段)

本発明は、GaAs表面窒化後にCVD法によってW(タングステン)あるいはVSix膜を高融点金属

ゲート材料として形成することによって、自己整合型のGaAsMISFETを形成することができる。

その際CVD-W、 $VSix$ は、スパッタW、 $VSix$ 膜に比べて純度が1桁以上高いものが形成でき、信頼性上好ましい。また、スパッタW、 $VSix$ 膜等に比べて $\frac{1}{2}$ 以下の $10\mu\Omega\text{cm}$ の低抵抗であることから、ゲート金属として低抵抗化がはかれ、高速GaAsDCFL回路に適しているといえる。

(作用)

GaAs基板表面にイオン注入法あるいはエピタキシャル成長法によって形成される導電層表面を窒素プラズマ中に放置することによって、約20Åの表面窒化層が形成される。その層は、余り時間に依存せず、10分以上放置で10~20Å程度形成されるものである。この層は主としてGaNで形成され、バンド幅は3eV以上であるためGaAsの1.4eVと比べ22倍以上大きい。これが本発明でいう絶縁膜を形成し、そして、この層上にCVD法によりW、あるいは $VSix$ を堆積し、800℃以上でアニールすることによってW/GaN界面にVNxあるいは $VSinx$

が非常に薄く形成され、安定な界面を形成する。 VNx/GaAs ショットキ障壁は0.8V以上を示しているが、 $VNx/\text{GaN}/\text{GaAs}$ となることによってSiMOSFETに見られる様な完全な絶縁ゲート構造にはならないが準MIS構造が形成されるためにショットキ障壁の高さを見かけ上 $\phi_B \sim 1.5\text{eV}$ を示すようになる。またゲート電極としてCVD-W、 $VSix$ を用いるために、スパッタダメージに相当する不必要なダメージが導入されず、抵抗としてもスパッタ膜の1/2以下となることから現在、最も有望視されているDCFL回路に適用できる条件が備わったFETを形成できる。

(実施例)

本発明の実施例を第1図とともに、以下に示す。行なった製造方法とその結果について詳しく説明する。

まず、第1図(a)に示すように、半絶縁性GaAs基板1に Si^+ を選択イオン注入し、FEFのチャネル層2を形成する。その際、イオン注入条件は50 KeV、 $2 \times 10^{13}\text{cm}^{-2}$ とした。次にGaAsウエハを窒

素プラズマ中に20分間放置した。この場合、第1図(b)に示すように、表面層3が約20Å窒化している。その後、W(タングステン)4をCVD法によって350℃の堆積温度で5000Å形成し(第1図(c))、レジストを用いた光リングラフィー法によって1μmのゲートパターンを形成した。CF₄+O₂による反応性イオンエッチングによってゲート電極以外のWを取りのぞき第1図(d)に示すように、ゲート電極形成を行なった。

次に、このWゲート電極をマスクとして、ソース、ドレイン領域に n^+ イオン注入を150KeV、 $3 \times 10^{13}\text{cm}^{-2}$ の条件で自己整合的に行なった第1図(e)。次にAsH₃+Ar雰囲気中800℃20分間アニールを行ない、ソース、ドレイン領域にAuGe/Ni/Auから成るオーミック電極5の形成を行なった(第1図(f)の工程)。

(発明の効果)

上述した本発明による擬MISFETは、再現性良く製造できることがわかった。同じ条件で試作したWゲートセルフアラインメントGaAsMESFETの性能

と比較すれば、次の様になる。

	CVD-Wゲート擬MISFET	スパッターWゲートMESFET
ϕ_B	~1.5eV	0.75eV
ゲート抵抗率	10~12 $\mu\Omega\text{cm}$	20~30 $\mu\Omega\text{cm}$
g_m	320mS/mm	200mS/mm

(但し、 $L_g = 1\mu\text{m}$, $V_g = 10\text{V}$, $V_{th} = 0\text{V}$)

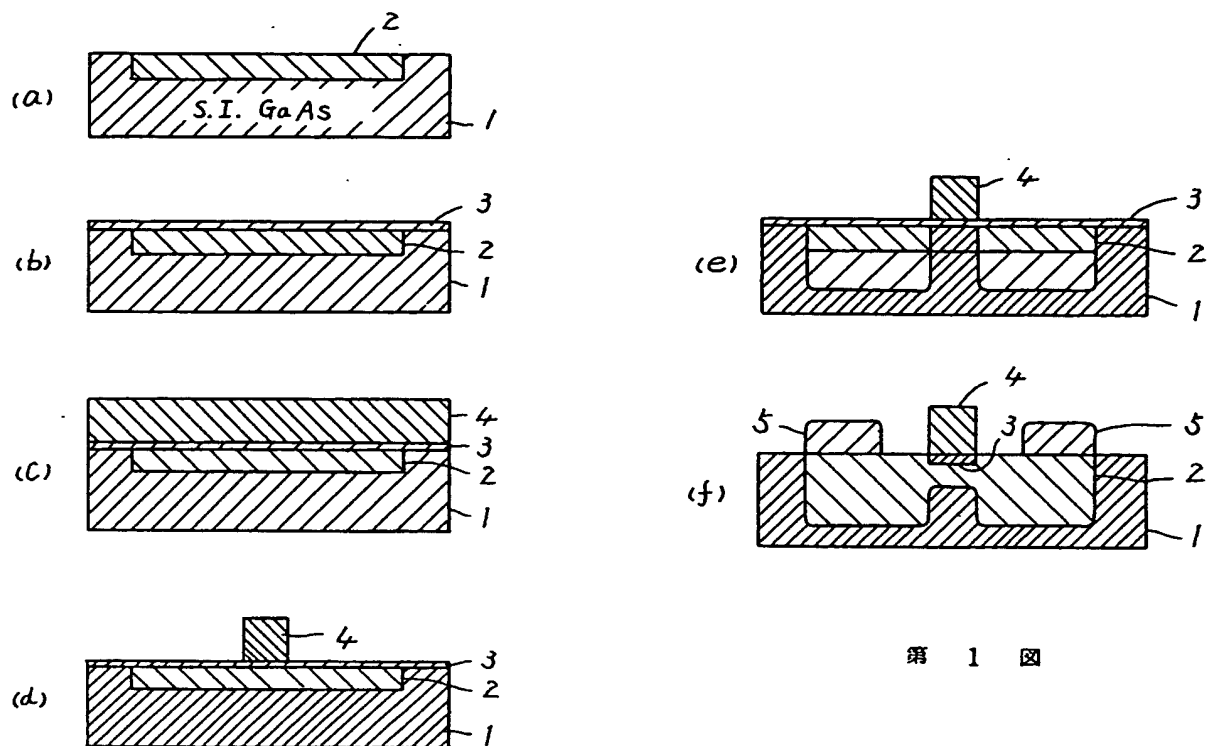
表の結果から、 ϕ_B はゲート抵抗率、 g_m に関してスパッターW、ゲートMESFETに比較してCVD-Wゲート擬MISFETがまさっていることがわかる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すための工程を示す素子の断面図である。

- 1…半絶縁性GaAs基板
- 2…イオン注入層
- 3…表面窒化層
- 4…CVD-W層(ゲート電極)
- 5…AuGe/Ni/Auオーミック電極

代理人 井理士 則 近 憲 佑
同 松 山 允 之



第 1 図

第 1 図